



(43) 国際公開日  
2006年6月29日 (29.06.2006)

PCT

(10) 国際公開番号  
WO 2006/067929 A1

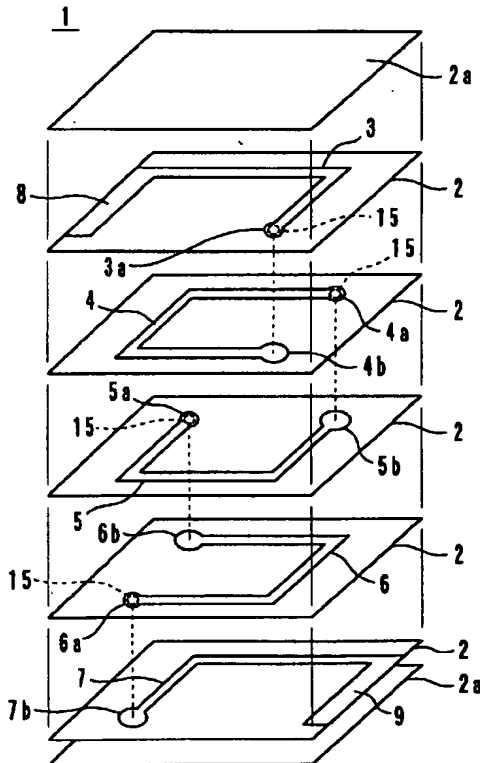
- (51) 国際特許分類:  
H01F 17/00 (2006.01) H01F 41/04 (2006.01)
- (21) 国際出願番号: PCT/JP2005/021544
- (22) 国際出願日: 2005年11月24日 (24.11.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2004-367863  
2004年12月20日 (20.12.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 上田 充 (UEDA,

- Mitsuru) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- 池田 正治 (IKEDA, Masaharu) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 森下 武一 (MORISHITA, Takekazu); 〒5410054 大阪府大阪市中央区南本町4丁目2番18号 サンモトビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

/続葉有/

(54) Title: LAMINATED CERAMIC ELECTRONIC COMPONENT AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 積層セラミック電子部品およびその製造方法



(57) Abstract: On ceramic green sheets (2), coil conductor patterns (3-7) and extracting electrodes (8-9) are formed by a screen printing method, respectively, in a status where the sheets are not lined with carrier films, and at the same time, a hole for via hole is filled with a conductive paste and a via hole (15) is formed. The coil conductor patterns (3-7) are provided with first lands (3a-6a) on one end to cover the via hole (15) for interlayer connection, and second lands (4b-7b) on the other end to receive the via hole (15). It is suitable that the diameter of the second lands (4b-7b) is larger than that of the first lands (3a-6a), and the area of the second lands (4b-7b) is 1.10-2.25 times the area of the first lands (3a-6a).

(57) 要約: セラミックグリーンシート (2) は、キャリアフィルムによる裏打ちのない状態で、それぞれにスクリーン印刷法によって、コイル導体パターン (3) ~ (7) および引出し電極 (8), (9) が形成されると同時に、ビアホール用穴に導電ペーストが充填され、ビアホール (15) が形成される。コイル導体パターン (3) ~ (7) は、その一端に層間接続のためのビアホール (15) を覆うように設けられた第1のランド (3a) ~ (6a) と、他端に設けられたビアホール (15) を受ける第2のランド (4b) ~ (7b) とを有している。第2のランド (4b) ~ (7b) の径は第1のランド (3a) ~ (6a) の径より大きく、第2のランド (4b) ~ (7b) の面積が第1のランド (3a) ~ (6a) の面積に対して 1.10 ~ 2.25 倍が適切である。



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### 積層セラミック電子部品およびその製造方法

#### 技術分野

- [0001] 本発明は、積層セラミック電子部品、特に、インダクタやインピーダンス素子などの積層セラミック電子部品およびその製造方法に関する。

#### 背景技術

- [0002] 従来より、この種の積層セラミック電子部品として、特許文献1に記載のものが知られている。この電子部品は、コイル形成用導体を設けたセラミックシートを積層し、各コイル形成用導体の端部に形成されたパッド(ランド)をビアホールを介して順次接続することにより螺旋状のコイルを形成している。
- [0003] すなわち、図6に示すように、ビアホール用穴を形成したセラミックシート50の表面に、コイル形成用導体51をスクリーン印刷法で形成すると同時に、ビアホール用穴を導電ペーストで充填してビアホール60を形成する。コイル形成用導体51は、層間接続のためのビアホール60を設けた第1のランド51aとビアホール60を受ける第2のランド51bとを有している。
- [0004] ここで、スクリーン印刷の条件を、ビアホール用穴が設けられた位置に形成される第1のランド51aに合わせるか、または、ビアホール用穴がない第2のランド51bに合わせるかによって、他方のランドでは印刷不良や充填不良が起こり易いという問題があった。
- [0005] 例えば、図7に示すように、第2のランド51bがカスレないように形成するため、スクリーン印刷版66の導電ペースト55の透過量を大きくすると、ビアホール用穴内への導電ペースト55の充填が多くなり過ぎて、セラミックシート50の裏面への導電ペースト55の突出を招く。逆に、ビアホール用穴内への導電ペースト55の充填量を適正化すると、ビアホール用穴がない第2のランド51bにカスレが発生し易くなる。これは、スクリーン印刷の特性上、ランド形状が同一であっても、ビアホール用穴の有無により導電ペースト55のスクリーン印刷版66からの透過量が異なるためである。
- [0006] この過充填によるセラミックシート50の裏面への導電ペースト55の突出を防止する

ために、図8に示すように、キャリアフィルム52で裏打ちしたセラミックシート50を使用することが考えられる。しかし、キャリアフィルム52の使用は製造コストの上昇を招くという新たな問題が生じる。

特許文献1:特開2004-87596号公報

## 発明の開示

### 発明が解決しようとする課題

- [0007] そこで、本発明の目的は、セラミックシートをキャリアフィルムで裏打ちすることなく、ビアホールの適正充填とランドのカスレ防止を両立することが可能な積層セラミック電子部品およびその製造方法を提供することにある。

### 課題を解決するための手段

- [0008] 前記目的を達成するため、本発明に係る積層セラミック電子部品は、一端に第1のランド、他端に第2のランドを有する内部導体パターンを備えた複数のセラミックシートを積層して積層体を構成するとともに、前記セラミックシートに形成したビアホールによって異なる層に配置された内部導体パターンどうしを電氣的に接続した積層セラミック電子部品において、ビアホールは導電体で充填されており、第1のランドはビアホールを覆うように設けられており、一のセラミックシートに設けられた第1のランドと他のセラミックシートに設けられた第2のランドとが、一のセラミックシートに設けられたビアホールを介して電氣的に接続され、第2のランドが第1のランドより大きいことを特徴とする。
- [0009] 前記第2のランドは、前記第1のランドの投影領域から、内部導体パターンの投影領域に延在していることが好ましい。また、第2のランドは第1のランドに対してその面積が1.10～2.25倍であることが好ましい。
- [0010] 本発明に係る積層セラミック電子部品の製造方法は、ビアホール用穴を形成したセラミックシートの表面に、一端に第1のランド、他端に第2のランドを有する内部導体パターンを導電体にて、第1のランドがビアホール用穴を覆うように印刷するとともに、ビアホール用穴に該導電体を充填する工程と、一のセラミックシートに設けられた第1のランドと他のセラミックシートに設けられた第2のランドとが、一のセラミックシートに設けられたビアホールを介して電氣的に接続されるように、複数のセラミックシートを

積層して積層体を得る工程と、を備え、第2のランドが第1のランドより大きいことを特徴とする。

- [0011] ピアホール用穴を形成したセラミックシートは、キャリアフィルムによる裏打ちのない状態で、内部導体パターンを印刷すると同時に、ピアホール用穴を導電体で充填することが好ましい。

#### 発明の効果

- [0012] 本発明によれば、スクリーン印刷の際にカスレの発生し易いピアホールを受ける第2のランドの形状を大きくしているので、第2のランドを形成するための導電ペーストの吐出量が増え、ピアホールの適正充填と第2のランドのカスレ防止を両立することができる。この結果、信頼性および生産性に優れた積層セラミック電子部品が得られる。
- [0013] 特に、第2のランドの面積を第1のランドの面積に対して1.10倍以上とすることで、第2のランドのカスレを防止して静電放電の不具合を確実に抑えけるとともに積層ズレを防止することができる。また、2.25倍以下とすることで、インダクタンス値の低下を抑えることができる。

#### 図面の簡単な説明

- [0014] [図1]本発明に係る積層セラミック電子部品の一実施例を示す分解斜視図。  
[図2]図1に示した内部導体パターンを示す平面図。  
[図3]図1に示した積層セラミック電子部品の積層状態の要部を示す断面図。  
[図4]図1に示した積層セラミック電子部品の外観斜視図。  
[図5]図1に示した内部導体パターンの変形例を示す平面図。  
[図6]従来の積層セラミック電子部品の内部導体パターンを示す平面図。  
[図7]従来の積層セラミック電子部品の製造方法を示す説明図。  
[図8]従来の積層セラミック電子部品の別の製造方法を示す説明図。

#### 発明を実施するための最良の形態

- [0015] 以下に、本発明に係る積層セラミック電子部品およびその製造方法の実施例について添付図面を参照して説明する。以下の実施例では、積層インダクタを例にして説明するが、積層インピーダンス素子や積層LC複合部品などであってもよい。

- [0016] 図1に示すように、積層インダクタ1は、コイル導体パターン3～7や引出し電極8, 9やビアホール15をそれぞれ設けたセラミックグリーンシート2と、予め導体パターンを設けない外層用セラミックグリーンシート2a等で構成されている。
- [0017] セラミックグリーンシート2, 2aは、以下の方法で製作した。フェライトの原料粉末NiO、CuO、ZnO、 $\text{Fe}_2\text{O}_3$ などの各種原料粉末をボールミルなどにより湿式混合し、スプレードライヤーなどにより乾燥した後、仮焼した。得られたフェライト粉末を、溶剤に分散させてセラミックスラリーを調整し、これをドクターブレード法により成形し、長尺のセラミックグリーンシートを得た。この長尺のセラミックグリーンシートを所定の大きさに打ち抜き、必要に応じてビアホール用穴を形成してセラミックグリーンシート2を作製した。
- [0018] 次に、セラミックグリーンシート2のそれぞれにスクリーン印刷法によって、コイル導体パターン3～7および引出し電極8, 9が形成されると同時に、ビアホール用穴に導電ペーストが充填され、ビアホール15が形成される。スキージの方向は、例えば、コイル導体パターンに対して図2に示す方向とした。このとき、ビアホール用穴を形成したセラミックグリーンシート2は、キャリアフィルムによる裏打ちのない状態で、コイル導体パターン3～7等が印刷されると同時に、ビアホール15が形成される。
- [0019] すなわち、図2に示したセラミックグリーンシート2の表面には、導電ペーストにて、第1のランド4aがビアホール用穴を覆うように印刷されるとともに、該ビアホール用穴に導電ペーストが充填される。従って、コイル導体パターン4は、層間接続のためのビアホール15を設けた第1のランド4aとビアホール15を受ける第2のランド4bの2種類のランドを両端に有している。そして、第2のランド4bの径が第1のランド4aの径より大きく形成されている。
- [0020] つまり、コイル導体パターン3～7は、層間接続のためのビアホール15を設けた第1のランド3a～6aと、ビアホール15を受ける第2のランド4b～7bとの2種類のランドを有している。そして、第2のランド4b～7bの径が第1のランド3a～6aの径より大きい。
- [0021] また、コイル導体パターン3の引出し部はシート2の左辺に形成された引出し電極8に接続している。コイル導体パターン7の引出し部はシート2の右辺に形成された引出し電極9に接続している。

- [0022] 各セラミックグリーンシート2は積み重ねられ、さらに、上下に外層用セラミックグリーンシート2aが配置された後、 $1000\text{kgf}/\text{cm}^2$ で圧着して積層体ブロックとする。これにより、各コイル用導体パターン3～7がビアホール15により電氣的に接続され、螺旋状コイルが形成される。導体パターンの接続状態は、一例として図3に示すように、シート2(x)に設けられた第1のランド4aと下層のシート2(y)に設けられた第2のランド5bとが、シート2(x)に設けられたビアホール15を介して電氣的に接続された状態にある。
- [0023] 前記積層体ブロックは所定のサイズにカットされた後、脱脂処理が施され、 $870^\circ\text{C}$ で一体的に焼成される。これにより、図4に示す積層体20とされる。
- [0024] 次に、積層体20の両端部に導電ペーストを塗布し、 $850^\circ\text{C}$ で焼き付けすることにより外部電極21, 22を形成する。外部電極21は引出し電極8に電氣的に接続され、外部電極22は引出し電極9に電氣的に接続されている。
- [0025] 以上の構成からなる積層インダクタ1は、スクリーン印刷の際にカスレの発生し易いビアホール15を受ける第2のランド4b, 5b, 6b, 7bの形状を大きくしているので、第2のランド4b～7bを形成するための導電ペーストの吐出量が増える。従って、スクリーン印刷の条件を、ビアホール用穴が設けられた位置に形成される第1のランド3a～6aに合わせて、ビアホール用穴内への導電ペーストの充填量を適正化しても、第2のランド4b～7bにカスレが発生し難くなる。つまり、ビアホール15の適正充填と第2のランド4b～7bのカスレの防止を両立することができる。この結果、信頼性および生産性に優れた積層インダクタ1が得られる。
- [0026] 表1は、得られた積層インダクタ1を評価した結果(実施例1)を示す表である。ビアホール15の径は $160\mu\text{m}$ 、第1のランド3a, 4a, 5a, 6aの径は $200\mu\text{m}$ 、第2のランド4b, 5b, 6b, 7bは $240\mu\text{m}$ とした。比較のために、表1には、図6に示したコイル導体パターン51を有する従来の積層インダクタの評価結果も併せて記載している。従来の積層インダクタのビアホール60を設けた第1のランド51aとビアホール60を受ける第2のランド51bは、共に $200\mu\text{m}$ の場合(比較例1)、並びに、共に $240\mu\text{m}$ の場合(比較例2)とした。インダクタンス値はサンプル数30の平均値であり、静電放電試験はサンプル数30に $\pm 30\text{kV}$ の電圧を正負10回ずつ、0.1sec間隔で放電ガンを

用いて接触放電を行ったときの不合格数である。最大積層ズレ量は、積層インダクタの垂直断面を顕微鏡で拡大して構造解析を行うことによって求めた。

[0027] [表1]

(表1)

	コイル導体パターン		評価結果		
	第2のランド	第1のランド	インダクタンス値	静電放電試験NG数	最大積層ズレ量
実施例1	240 $\mu$ m	200 $\mu$ m	9.8 $\mu$ H	0/30	15 $\mu$ m
比較例1	200 $\mu$ m	200 $\mu$ m	10.3 $\mu$ H	2/30	14 $\mu$ m
比較例2	240 $\mu$ m	240 $\mu$ m	9.5 $\mu$ H	0/30	55 $\mu$ m

[0028] 比較例1において静電放電試験で不合格になった原因を調査したところ、第2のランド51bの印刷欠陥(印刷カスレ)が原因であることがわかった。また、比較例2において積層ズレが大きくなっている原因を調査したところ、印刷時のビアホール用穴への導電ペースト充填量が多すぎて、セラミックグリーンシートの裏面に導電ペーストが突出し、積層ズレが発生していることがわかった。

[0029] また、図5に示すように、第2のランド34bの径を第1のランド34aの径とほぼ等しくし、第2のランド34bを第1のランドの投影領域から、コイル導体パターンの投影領域に延在させているコイル導体パターン34を用いてもよい。これにより、コイル導体パターンによって形成される螺旋状コイルの平面視形状が、従来の積層インダクタの螺旋状コイルと同等になり、コイル内面積が変化しないためインダクタンス値や高周波特性の変化がなくなる。

[0030] 表2は、図5に示したコイル導体パターン34を有する積層インダクタを評価した結果(実施例2)を示す表である。ここで、第2のランド34bの径を第1のランド34aの径と等しくし、第2のランド34bを第1のランドの投影領域から、コイル導体パターンの投影領域に(言い換えると、積層方向投影時に隠れる方向に) $L=100\mu\text{m}$ 延在させている。この評価実験では、粘度100Pa $\cdot$ sの導電ペーストをオープニング率60%の印刷版を用いてスクリーン印刷した。

[0031] 比較のために、表2には、図2に示したコイル導体パターン4を有する積層インダクタ1の評価結果(前記実施例1)、並びに、図6に示したコイル導体パターン51を有す



る従来の積層インダクタの評価結果(前記比較例1)も併せて記載している。

[0032] [表2]

(表2)

	コイル導体パターン		評価結果		
	第2のランド	第1のランド	インダクタンス値	静電放電試験NG数	最大積層ズレ量
実施例2	積層方向投影時に隠れる方向に100 $\mu$ m延長	200 $\mu$ m	10.2 $\mu$ H	0/30	15 $\mu$ m
実施例1	240 $\mu$ m	200 $\mu$ m	9.8 $\mu$ H	0/30	15 $\mu$ m
比較例1	200 $\mu$ m	200 $\mu$ m	10.3 $\mu$ H	2/30	14 $\mu$ m

[0033] 実施例1の積層インダクタ1の場合は、第2のランド4b～7bの径を大きくしているため、コイル内面積が小さくなり、従来よりインダクタンス値が若干低下しているが、実施例2の積層インダクタの場合はインダクタンス値は殆ど変化がない。

[0034] 次に、表3には、第1のランドと第2のランドをそれぞれの直径(面積)を変化させた試料1～7の評価結果を示す。評価試験の内容は前記表1、2での試験と同様である。試料1～5では、第1のランドの直径200 $\mu$ mに対して第2のランドの直径を205, 210, 220, 300, 320 $\mu$ mと異ならせて試作した。試料2～4では、静電試験に合格し、インダクタンス値も好ましく、積層ズレ量も小さい。一方、試料1(面積比1.05)では、印刷欠陥(印刷カスレ)が生じて静電放電試験では不合格になるものが生じた。試料5(面積比2.56)では、第2のランドが大きくなってインダクタンス値が低下していた。

[0035] また、試料6, 7では、第2のランドの直径220 $\mu$ mに対して第1のランドの直径を210, 215 $\mu$ mと異ならせて試作した。試料6では好ましい評価が得られたのに対して、試料7では、第1のランドに形成されたビアホール用穴への導電ペーストの充填量が多く、積層ズレが大きくなった。

[0036] [表3]

(表3)

試 件	コイル導体パターン						評価結果		
	第2のランド		第1のランド			面積比 (第2のランド) 第1のランド)	インダクタンス 値	静電放電試験 NG数	最大積層 スレ量
	直径	面積	直径	面積	面積				
1*	205 $\mu$ m	33006 $\mu$ m <sup>2</sup>	200 $\mu$ m	31416 $\mu$ m <sup>2</sup>		1.05	10.4 $\mu$ H	1/30	14 $\mu$ m
2	210 $\mu$ m	34636 $\mu$ m <sup>2</sup>	200 $\mu$ m	31416 $\mu$ m <sup>2</sup>		1.10	10.2 $\mu$ H	0/30	16 $\mu$ m
3	220 $\mu$ m	38013 $\mu$ m <sup>2</sup>	200 $\mu$ m	31416 $\mu$ m <sup>2</sup>		1.21	10.1 $\mu$ H	0/30	15 $\mu$ m
4	300 $\mu$ m	70686 $\mu$ m <sup>2</sup>	200 $\mu$ m	31416 $\mu$ m <sup>2</sup>		2.25	9.5 $\mu$ H	0/30	15 $\mu$ m
5*	320 $\mu$ m	80425 $\mu$ m <sup>2</sup>	200 $\mu$ m	31416 $\mu$ m <sup>2</sup>		2.56	9.2 $\mu$ H	0/30	15 $\mu$ m
6	220 $\mu$ m	38013 $\mu$ m <sup>2</sup>	210 $\mu$ m	34636 $\mu$ m <sup>2</sup>		1.10	10.1 $\mu$ H	0/30	16 $\mu$ m
7*	220 $\mu$ m	38013 $\mu$ m <sup>2</sup>	215 $\mu$ m	36305 $\mu$ m <sup>2</sup>		1.05	10.1 $\mu$ H	0/30	35 $\mu$ m

[0037] なお、本発明は前記実施例に限定するものではなく、その要旨の範囲内で種々に変更することができる。

#### 産業上の利用可能性

[0038] 以上のように、本発明は、インダクタやインピーダンス素子などの積層セラミック電子

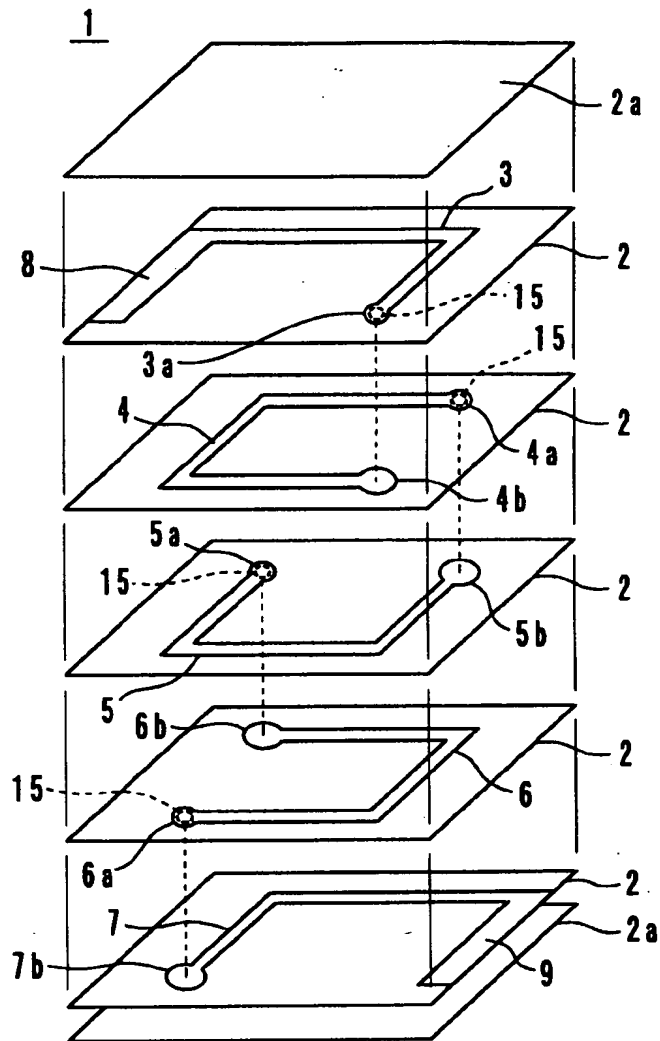
部品およびその製造方法に有用であり、特に、セラミックシートをキャリアフィルムで裏打ちすることなく、ビアホールの適正充填とランドのカスレ防止を両立できる点で優れている。

## 請求の範囲

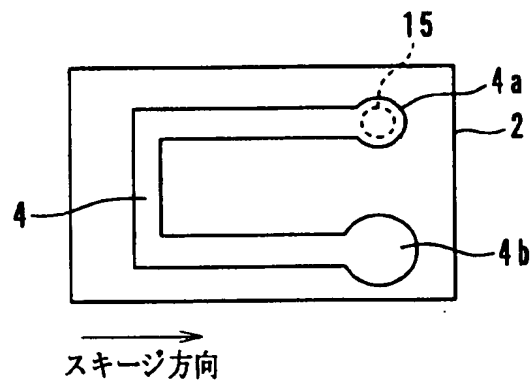
- [1] 一端に第1のランド、他端に第2のランドを有する内部導体パターンを備えた複数のセラミックシートを積層して積層体を構成するとともに、前記セラミックシートに形成したビアホールによって異なる層に配置された前記内部導体パターンどうしを電氣的に接続した積層セラミック電子部品において、  
前記ビアホールは導電体で充填されており、  
前記第1のランドは前記ビアホールを覆うように設けられており、一のセラミックシートに設けられた前記第1のランドと他のセラミックシートに設けられた前記第2のランドとが、一のセラミックシートに設けられた前記ビアホールを介して電氣的に接続され、  
前記第2のランドが前記第1のランドより大きいこと、  
を特徴とする積層セラミック電子部品。
- [2] 前記第2のランドは、前記第1のランドの投影領域から、前記内部導体パターンの投影領域に延在していることを特徴とする請求の範囲第1項に記載の積層セラミック電子部品。
- [3] 前記第2のランドの面積が前記第1のランドの面積に対して1.10～2.25倍であることを特徴とする請求の範囲第1項又は第2項に記載の積層セラミック電子部品。
- [4] ビアホール用穴を形成したセラミックシートの表面に、一端に第1のランド、他端に第2のランドを有する内部導体パターンを導電体にて、第1のランドがビアホール用穴を覆うように印刷するとともに、ビアホール用穴に該導電体を充填する工程と、  
一のセラミックシートに設けられた前記第1のランドと他のセラミックシートに設けられた前記第2のランドとが、一のセラミックシートに設けられた前記ビアホールを介して電氣的に接続されるように、複数のセラミックシートを積層して積層体を得る工程と、  
を備え、  
前記第2のランドが前記第1のランドより大きいこと、  
を特徴とする積層セラミック電子部品の製造方法。
- [5] 前記第2のランドは、前記第1のランドの投影領域から、前記内部導体パターンの投影領域に延在していることを特徴とする請求の範囲第4項に記載の積層セラミック電子部品の製造方法。

- [6] 前記第2のランドの面積が前記第1のランドの面積に対して1.10～2.25倍であることを特徴とする請求の範囲第4項又は第5項に記載の積層セラミック電子部品の製造方法。
- [7] 前記ビアホール用穴を形成したセラミックシートは、キャリアフィルムによる裏打ちのない状態で、前記内部導体パターンを印刷すると同時に、前記ビアホール用穴を導電体で充填することを特徴とする請求の範囲第4項ないし第6項のいずれかに記載の積層セラミック電子部品の製造方法。

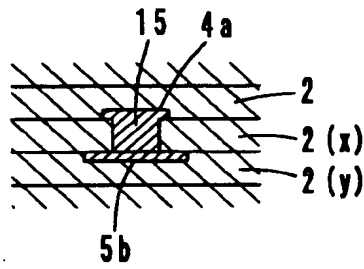
[図1]



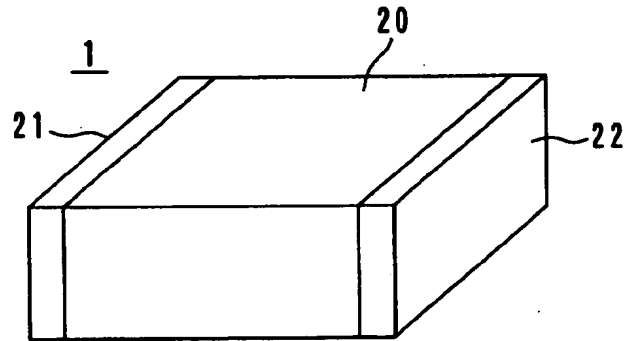
[図2]



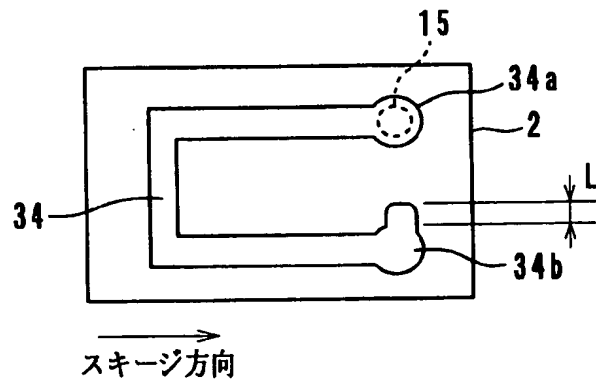
[図3]



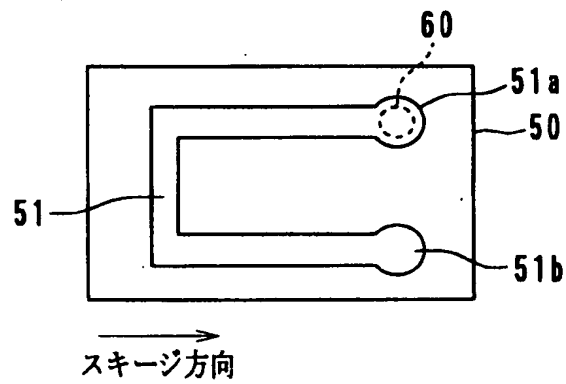
[図4]



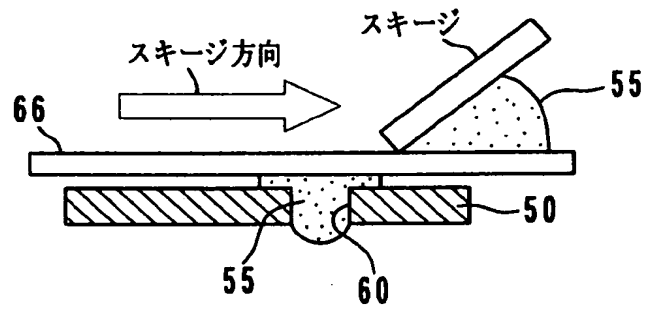
[図5]



[図6]



[図7]



[図8]

